

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-183536

(43)Date of publication of application : 18.07.1990

(51)Int.Cl.

H01L 21/3205

H01L 21/90

(21)Application number : 01-003449

(71)Applicant : NEC CORP

(22)Date of filing : 09.01.1989

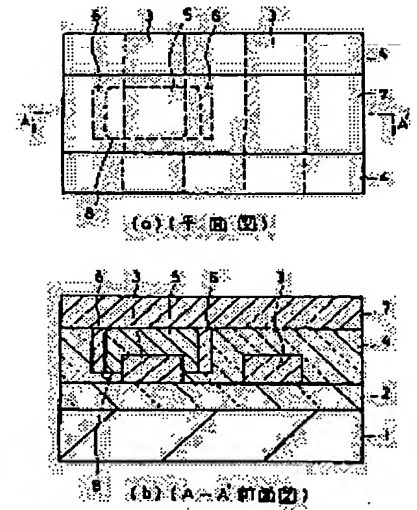
(72)Inventor : MURAYAMA MOTOAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable a fine multilayer wiring and realize high degree of integration by a method wherein extracting outside is enabled by making the size of an interlayer connection hole larger than the width of a lower layer wiring.

CONSTITUTION: The upper surface of a first aluminum wiring 3 and a part of a side surface connecting with the upper surface of the wiring 3 are exposed, and an interlayer connection hole 8 is formed in a silicon oxide film 4. A tungsten film 5 as a conductor film for connection use which covers the exposed part of the first aluminum wiring 3 and connects it with a second aluminum wiring 7 is buried in the interlayer connection hole 8 and turned into a connection between wirings. By using a silica coating oxide film 6 formed by filling the gap between the tungsten film 5 and the interlayer connection hole 8, the surface on which a second aluminum wiring 7 is formed is flattened. As a result, the interlayer connection hole 8 is larger than the width of the lower wiring 3, that is, enabling outside-extraction. Thereby, a sufficient size wherein alignment deviation is considered can be set, and the width of the lower wiring can be made small, so that the wiring pitch can be reduced and high density integration is realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A)

平2-183536

⑤ Int. Cl.⁵

識別記号

庁内整理番号

④ 公開 平成2年(1990)7月18日

H 01 L 21/3205
21/90

B

6810-5F
6810-5F

H 01 L 21/88

K

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 平1-3449

⑱ 出 願 平1(1989)1月9日

⑲ 発 明 者 村 山 元 章 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉑ 代 理 人 弁理士 井出 直孝

明 細 書

する。

〔概要〕

本発明は多層配線を有する半導体装置において、
下層配線と上層配線との接続用導電体膜が、前記下層配線の上面と、その上面に連なる一部側面部分とを露出して形成された層間接続孔を埋めて形成された配線間接続部を設けることにより、
配線間接続部における下層配線の幅を大きくする必要をなくし、高集積化を図ったものである。

〔従来の技術〕

従来、この種の半導体装置は、第4図(a)および(b)に示すような配線構造を有していた。同図において、1はシリコン基板、2はシリコン酸化膜、3は第一アルミ配線、4はバイアスECR (Electron Cyclotron Resonance) プラズマCVD法等により形成されたシリコン酸化膜、7は第二アルミ配線、および8は層間接続孔である。

本従来例においては、第一アルミ配線2と第二アルミ配線4との配線間接続部において、第一アルミ配線2の幅が大きくなっている。このため、

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 半導体基板上の一主面上にそれぞれ絶縁膜を挟んで形成された複数層の配線を有する半導体装置において、

下層配線の上面およびそれに連なる一部側面部分を露出し前記絶縁膜の一部に形成された層間接続孔に、前記下層配線の露出箇所を覆って形成され上層配線と接続された接続用導電体膜が埋め込まれた配線間接続部

を有することを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は多層配線構造の半導体装置に利用され、特に、微細多層配線を可能にする半導体装置に関

例えば、第一アルミ配線幅を $1.0\ \mu\text{m}$ 、配線間隔を $1.0\ \mu\text{m}$ 、層間接続孔8を $1.0\ \mu\text{m}^2$ 、層間接続孔8と第一アルミ配線3との余裕を $0.5\ \mu\text{m}$ とすると、第一アルミ配線ピッチは $2.5\ \mu\text{m}$ となる。

(発明が解決しようとする問題点)

前述した従来の半導体装置は、層間接続孔が下層配線に対してずれて外抜きにならないように、層間接続孔の開孔される下層配線部分において、目合せ余裕を考慮し配線幅を大きくしていた。このことは、層間接続孔の設置された部分では、設置されない部分に比べて配線ピッチが大きくなることを意味し、特に、半導体集積回路の高集積化に対する主な阻害要因となる欠点があった。

本発明の目的は、前記の欠点を除去することにより、下層配線の配線ピッチを大きくすることなく層間接続ができ、高集積化を図ることができる半導体装置を提供することにある。

(問題点を解決するための手段)

本発明は、半導体基板上の一主面上にそれぞれ絶縁膜を挟んで形成された複数層の配線を有する

半導体装置において、下層配線の上面およびそれに連なる一部側面部分を露出し前記絶縁膜の一部に形成された層間接続孔に、前記下層配線の露出箇所を覆って形成され上層配線と接続された接続用導電体膜が埋め込まれた配線間接続部を有することを特徴とする。

(作用)

接続用導電体膜、例えばタングステン膜は、下層配線の上面とそれに連なる一部側面部分を露出して形成された層間接続孔を埋めて形成され、前記側面部分と前記下層配線の上面との間には層間絶縁膜が介在する構成となる。

従って、層間接続孔は前記下層配線の幅よりも大すなわち外抜きとなり、目合せのずれを考慮した十分な大きさに設定できる。しかも、前記下層配線の幅はそのままよいことになり、結果として配線ピッチを小さくし高集積化を図ることが可能となる。

(実施例)

以下、本発明の実施例について図面を参照して

説明する。

第1図(a)は本発明の一実施例を示す平面図および第1図(b)はそのA-A'断面図である。

本実施例は、シリコン基板1上の一主面上にそれぞれ絶縁膜としてのシリコン酸化膜2および4を挟んで形成された二層の配線としての第一アルミ配線3と、第二アルミ配線7とを有する半導体装置において、

第一アルミ配線3の上面およびそれに連なる一部側面部分を露出してシリコン酸化膜4に形成された層間接続孔8に第一アルミ配線3の露出箇所を覆って形成され第二アルミ配線7と接続された接続用導電体膜としてのタングステン膜5が埋め込まれた配線間接続部を有している。

第1図(a)および(b)において、6はタングステン膜5と層間接続孔8との間隙を充填して形成されたシリカ塗布酸化膜で、層間接続孔形成時の目合せずれにより生じる間隙により生じる凹部を埋め、第二アルミ配線7が形成される面の平坦化を図るためのものであり、材料はシリカに限らず、間隙

を埋めて絶縁物を形成できるものであればよい。

本発明の特徴は、第1図(a)および(b)において、配線接続孔8の大きさを下層配線3の幅よりも大きく設定し、それを埋め込んで、接続用導電体膜としてのタングステン膜5を設けたことにある。

次に、本実施例の製造方法について、第2図(a)および(b)ならびに第3図(a)および(b)に示す主要工程における平面図およびそのA-A'断面図を参照して説明する。

最初、第2図(a)および(b)に示すように、シリコン基板1上のシリコン酸化膜2上に膜厚 $0.5\ \mu\text{m}$ 程度のアルミニウムを被着パタン化し、第一アルミ配線3を形成する。

次に、第3図(a)および(b)に示すように、第一アルミ配線3上にバイアスECRプラズマCVD法によるシリコン酸化膜4を膜厚 $0.9\ \mu\text{m}$ 程度形成後、第一アルミ配線3の上面および一部側面を選択的に露出させ、タングステン選択CVD法により膜厚 $0.4\ \mu\text{m}$ 程度のタングステン膜5を形成する。そしてタングステン膜5とシリコン酸化膜4との間

隙をエッチバック法によりシリカを塗布し熱処理によりシリカ塗布酸化膜6で充填する。

最後に、第1図(a)および(b)に示すように、膜厚 $1.0\mu\text{m}$ 程度のアルミニウムを被着パタン化してタングステン膜5と電気的に接続される第二アルミ配線7を形成する。

本実施例において、第一アルミ配線幅を $1.0\mu\text{m}$ 、配線間隔を $1.0\mu\text{m}$ 、層間接続孔8を $1.0\mu\text{m}\times 2.0\mu\text{m}$ とすると、第一アルミ配線ピッチは $2.0\mu\text{m}$ となる。なお本実施例では第一配線および第二配線の配線材としてアルミニウムを用いたが、アルミニウムの代わりにタングステン等の高融点金属を用いることもできる。この場合は配線の耐マイグレーション性が非常に向上する利点がある。また、配線材料として高導電性の多結晶シリコン等の他の導電体材料を用いる場合も同様である。

(発明の効果)

以上説明したように、本発明は、層間接続孔の大きさを下層配線の幅よりも大きくすなわち外抜きできるようにすることにより、微細多層配線を

実現でき、高集積化を図ることができる効果がある。

4. 図面の簡単な説明

第1図(a)および(b)は本発明の一実施例を示す平面図およびそのA-A'断面図。

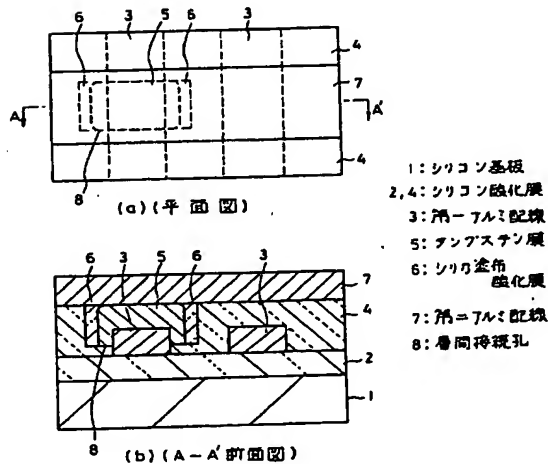
第2図(a)および(b)はその主要製造工程における平面図およびそのA-A'断面図。

第3図(a)および(b)はその主要製造工程における平面図およびそのA-A'断面図。

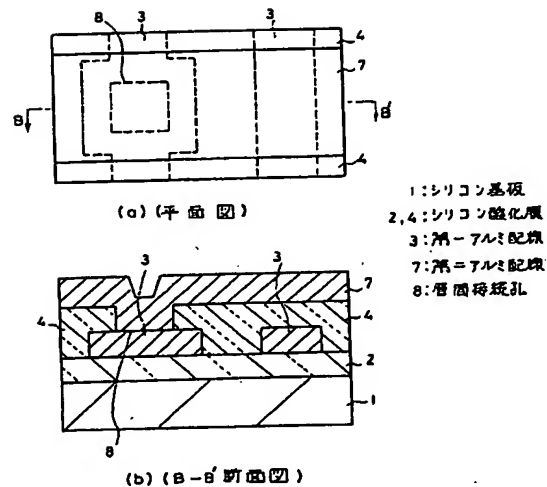
第4図(a)および(b)は従来例を示す平面図およびそのB-B'断面図。

1…シリコン基板、2、4…シリコン酸化膜、3…第一アルミ配線、5…タングステン膜、6…シリカ塗布酸化膜、7…第二アルミ配線、8…層間接続孔。

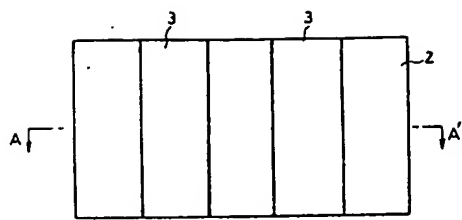
特許出願人 日本電気株式会社
代理人 弁理士 井出直孝



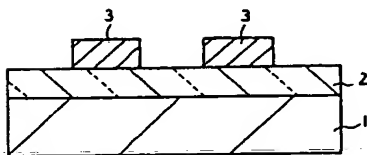
本発明の構成
第1図



従来例の構成
第4図



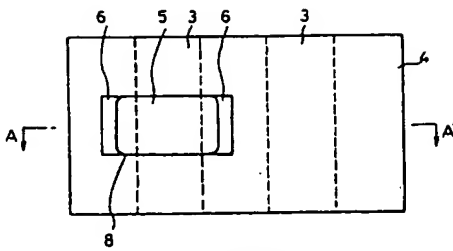
(a) (平面図)



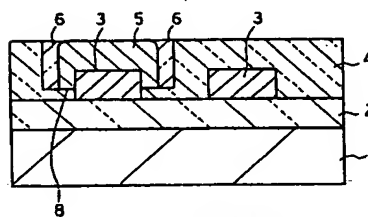
(b) (A-A'断面図)

実施例(製造工程)

第2図



(a) (平面図)



(b) (A-A'断面図)

実施例(製造工程)

第3図

- 1: シリコン基板
- 2, 4: シリコン酸化膜
- 3: 第-アルミ配線
- 5: タングステン膜
- 6: シリカ塗布酸化膜
- 8: 層間接続孔